

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0007411  
Application Number

출 원 년 월 일 : 2003년 02월 06일  
Date of Application FEB 06, 2003

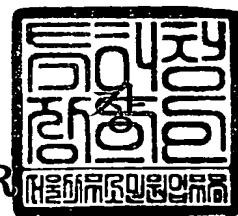
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 01 월 15 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0001		
【제출일자】	2003.02.06		
【발명의 명칭】	박막 트랜지스터 표시판		
【발명의 영문명칭】	THIN FILM TRANSISTOR ARRAY PANEL		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【명칭】	유미특허법인		
【대리인코드】	9-2001-100003-6		
【지정된변리사】	김원근, 박종하		
【포괄위임등록번호】	2002-036528-9		
【발명자】			
【성명의 국문표기】	전상익		
【성명의 영문표기】	JUN, SAHNG IK		
【주민등록번호】	680805-1468418		
【우편번호】	135-090		
【주소】	서울특별시 강남구 삼성동 99-13 삼성아파트 101동 405호		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 유미특허법인 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	31	면	31,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	60,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

### 【요약서】

#### 【요약】

절연 기판 상부에는 크롬의 하부막과 알루미늄 합금의 상부막으로 이루어진 게이트선이 형성되어 있으며, 그 상부에는 게이트 절연막이 형성되어 있다. 게이트 전극으로 사용하는 게이트선 상부의 게이트 절연막 위에는 반도체층이 형성되어 있으며, 그 상부에는 게이트 전극을 중심으로 분리되어 있는 저항성 접촉 부재가 형성되어 있다. 게이트 절연막 상부에는 크롬의 하부막과 알루미늄 합금의 상부막을 포함하는 데이터선과 드레인 전극이 형성되어 있다. 게이트 절연막 상부에는 데이터선 및 드레인 전극을 덮고 있으며, 게이트선 및 데이터선의 끝 부분과 드레인 전극을 드러내는 접촉 구멍을 가지는 보호막이 형성되어 있다. 여기서, 접촉 구멍은 게이트선 및 데이터선의 끝 부분 경계를 드러내고 있으며, 드러난 게이트선 및 데이터선의 끝 부분에서는 상부막이 제거되어 하부막이 드러나 있다. 보호막의 상부에는 드레인 전극과 연결되어 있는 화소 전극과 데이터선 및 게이트선의 끝 부분과 연결되어 있는 접촉 보조 부재가 형성되어 있다. 여기서, 데이터선 끝 부분 하부에서는 언더 컷이 없고, 그 둘레에는 게이트 절연막이 잔류하고 있어 접촉 보조 부재의 프로파일을 완만하게 확보할 수 있다.

#### 【대표도】

도 2

#### 【색인어】

알루미늄, IZO, 접촉저항, 감광막

**【명세서】****【발명의 명칭】**

박막 트랜지스터 표시판{THIN FILM TRANSISTOR ARRAY PANEL}

**【도면의 간단한 설명】**

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판이고,

도 2는 도 1에 도시한 박막 트랜지스터 표시판을 II-II' 선을 따라 잘라 도시한 단면도이고,

도 3a, 4a, 5a 및 7a는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판을 제조하는 중간 과정을 그 공정 순서에 따라 도시한 박막 트랜지스터 표시판의 배치도이고,

도 3b는 도 3a에서 IIIb-IIIb' 선을 따라 절단한 단면도이고,

도 4b는 도 4a에서 IVb-IVb' 선을 따라 잘라 도시한 도면으로서 도 3b의 다음 단계를 도시한 단면도이고,

도 5b는 도 5a에서 Vb-Vb' 선을 따라 잘라 도시한 도면으로서 도 4b의 다음 단계를 도시한 단면도이고,

도 6은 도 5a에서 Vb-Vb' 선을 따라 잘라 도시한 도면으로서 도 5b의 다음 단계를 도시한 단면도이고,

도 7b는 도 7a에서 VIIb-VIIb' 선을 따라 잘라 도시한 도면으로서 도 6의 다음 단계를 도시한 단면도이고,

도 8은 도 7a에서 VIIb-VIIb' 선을 따라 잘라 도시한 도면으로서 도 7b의 다음 단계를 도시한 단면도이고,

도 9는 도 7a에서 VIIb-VIIb' 선을 따라 잘라 도시한 도면으로서 도 8의 다음 단계를 도시한 단면도이고,

도 10은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,

도 11 및 도 12는 도 10에 도시한 박막 트랜지스터 표시판을 XI-XI' 선 및 XII-XII'선을 따라 잘라 도시한 단면도이고,

도 13a는 본 발명의 제2 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 표시판의 배치도이고,

도 13b 및 13c는 각각 도 13a에서 XIIIb-XIIIb' 선 및 XIIIc-XIIIc' 선을 따라 잘라 도시한 단면도이며,

도 14a 및 14b는 각각 도 13a에서 XIIIb-XIIIb' 선 및 XIIIc-XIIIc' 선을 따라 잘라 도시한 단면도로서, 도 13b 및 13c 다음 단계에서의 단면도이고,

도 15a는 도 14a 및 14b 다음 단계에서의 박막 트랜지스터 표시판의 배치도이고,

도 15b 및 15c는 각각 도 15a에서 XVb-XVb' 선 및 XVe-XVe' 선을 따라 잘라 도시한 단면도이며,

도 16a, 17a, 18a와 도 16b, 17b, 18b는 각각 도 15a에서 XVb-XVb' 선 및 XVe-XVe' 선을 따라 잘라 도시한 단면도로서 도 15b 및 15c 다음 단계들을 공정 순서에 따라 도시한 것이고,

도 19a는 도 18a 및 도 18b의 다음 단계에서의 박막 트랜지스터 표시판의 배치도이고,

도 19b 및 19c는 각각 도 19a에서 XIXb-XIXb' 선 및 XIXc-XIXc' 선을 따라 잘라 도시한 단면도이고,

도 20a, 21a, 22a와 도 20b, 21b, 22b는 각각 도 19a에서 XIXb-XIXb' 선 및 XIXc-XIXc' 선을 따라 잘라 도시한 단면도로서 도 19b 및 19c 다음 단계들을 공정 순서에 따라 도시한 것이고,

도 23은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,

도 24는 도 23에서 XXIII-XXIII' 선을 따라 잘라 도시한 단면도이다.

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <24> 본 발명은 박막 트랜지스터 표시판에 관한 것이다.
- <25> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.
- <26> 액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기판에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 액정 표시 장치이다.
- <27> 일반적으로 박막 트랜지스터가 형성되어 있는 기판에는 박막 트랜지스터 외에도 주사 신호를 전달하는 게이트선 및 화상 신호를 전달하는 데이터선을 포함하는 배선이 형성되어 있고,

게이트선과 데이터선이 교차하여 정의되는 화소 영역에는 박막 트랜지스터와 전기적으로 연결되어 있는 화소 전극이 형성되어 있다.

<28> 이때, 신호 지연을 방지하기 위하여 배선은 저저항을 가지는 금속 물질, 특히 알루미늄(Al) 또는 알루미늄 합금(Al alloy) 등과 같은 알루미늄 계열의 금속 물질을 사용하는 것이 일반적이다. 그러나, 알루미늄 또는 알루미늄 합금의 배선은 물리적 또는 화학적인 특성이 약하기 때문에 접촉부에서 다른 도전 물질과 연결될 때 부식이 발생하거나 접촉 저항이 증가하는 문제점을 가지고 있다. 특히, 액정 표시 장치에서와 같이 화소 전극으로 사용하는 투명한 도전 물질인 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)를 사용하여 게이트선 및 데이터선의 끝 부분을 보완하는 경우에 ITO 또는 IZO와 알루미늄 또는 알루미늄 합금의 배선과 접하는 접촉부에서 알루미늄 또는 알루미늄 합금의 배선이 부식되거나 접촉 저항이 증가하는 문제점이 발생한다.

<29> 또한, 이러한 액정 표시 장치용 박막 트랜지스터 어레이 기판의 제조 방법에서는 절연막을 사이에 두고 형성되어 있는 배선을 서로 연결하기 위해 절연막을 식각하여 배선의 일부를 드러내는 공정이 필요하다. 그러나 배선 아래에서 절연막이 심하게 언더 컷(under cut)이 발생하는 경우에는 접촉부의 스텝 커버리지(step coverage)가 나빠진다. 이로 인하여 이후에 부착되는 구동 집적 회로를 실장되는 접촉부에서 단선이 발생하여 접촉부의 접촉 신뢰도가 저하되는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<30> 본 발명이 이루고자 하는 기술적 과제는 낮은 접촉 저항을 가지는 접촉부를 포함하는 박막 트랜지스터 표시판을 제공하는 것이다.

<31> 또한, 본 발명이 이루고자 하는 기술적 과제는 접촉부의 접촉 신뢰도를 확보할 수 있는 박막 트랜지스터 표시판을 제공하는 것이다.

### 【발명의 구성 및 작용】

<32> 이러한 문제점을 해결하기 위하여 본 발명에 따른 박막 트랜지스터 표시판에서 배선은 낮은 비저항을 가지는 알루미늄 또는 알루미늄 합금의 제1 도전막과 IZO 또는 ITO와 낮은 접촉 저항을 가지는 도전 물질로 이루어진 제2 도전막을 포함하고 있다. 이때, 접촉부에서 외부 또는 다른 도전막과 연결되도록 접촉 구멍을 통하여 드러난 배선의 일부분은 제1 도전막이 제거되어 있으며, 접촉 구멍에서 배선의 경계선이 드러나 있다.

<33> 더욱 상세하게, 본 발명에 따른 박막 트랜지스터 표시판에는, 절연 기판 위에 게이트선이 형성되어 있고, 그 상부에는 게이트선을 덮는 게이트 절연막이 형성되어 있다. 게이트 절연막 상부에는 반도체가 형성되어 있으며, 게이트선과 교차하며 일부는 상기 반도체와 접하는 데이터선이 형성되어 있다. 게이트 절연막 상부에는 데이터선을 덮고 있으며, 데이터선 또는 게이트선 끝 부분의 경계선 일부를 드러내는 제1 접촉 구멍을 가지는 보호막이 형성되어 있고, 보호막 상부에는 적어도 제1 접촉 구멍을 통하여 게이트선 또는 데이터선 끝 부분의 경계를 덮고 있는 접촉 보조 부재가 형성되어 있다.

<34> 이때, 게이트선 또는 데이터선은 크롬 또는 몰리브덴 또는 몰리브덴 합금의 하부막과 알루미늄 또는 알루미늄 합금의 상부막으로 이루어져 있으며, 접촉 보조 부재는 게이트선 및 데이터선의 끝 부분에서 이들의 하부막과 접촉하고 있는 것이 바람직하다.

<35> 접촉 보조 부재는 IZO 또는 ITO로 이루어질 수 있다.

<36> 이러한 박막 트랜지스터 표시판은 데이터선과 동일한 층에 형성되어 있는 드레인 전극과 보호막 상부에 형성되어 있으며, 드레인 전극을 드러내는 제2 접촉 구멍을 통하여 드레인 전극과 연결되어 있는 화소 전극을 더 포함한다.

<37> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<38> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

<39> 이제 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판에 대하여 도면을 참고로 하여 상세하게 설명한다.

<40> 그러면, 이러한 본 발명에 따른 박막 트랜지스터 표시판에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

<41> 먼저, 도 1 및 도 2를 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조에 대하여 상세히 설명한다.

<42> 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판이고, 도 2는 도 1에 도시한 박막 트랜지스터 표시판을 II-II' 선을 따라 잘라 도시한 단면도이다.

<43> 절연 기판(110) 위에 다른 물질과 접촉 특성이 우수한 크롬 또는 몰리브덴 또는 몰리브덴 합금 또는 탄탈륨 또는 티타늄 등으로 이루어진 하부 도전막(201)과 낮은 비저항을 가지는 알루미늄 또는 알루미늄 합금의 도전 물질로 이루어진 상부 도전막(202)으로 이루어진 다수의 게이트선(121)이 형성되어 있다. 게이트선(121)의 한 끝 부근에 위치한 부분(125)은 외부로부터의 게이트 신호를 게이트선으로 전달하며, 각 게이트선(121)의 일부(123)는 박막 트랜지스터의 게이트 전극을 이룬다. 또한, 다른 부부보다 넓은 폭을 가지는 게이트선(121)의 일부는 이후에 형성되는 화소 전극(191)과 연결되어 있는 유지 축전기용 도전체 패턴(177)과 중첩되어 유지 축전기를 이루며, 여기서의 유지 용량이 충분하지 않은 경우에는 게이트선(121, 123, 125)으로부터 분리되어 있는 유지 전극선이 추가될 수 있다.

<44> 기판(110) 위에는 질화 규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(140)이 게이트선(121, 125, 123)을 덮고 있다.

<45> 게이트 전극(125)의 게이트 절연막(140) 상부에는 수소화 비정질 규소 등으로 이루어진 선형의 반도체(150)가 형성되어 있으며, 반도체(150)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n<sup>+</sup> 수소화 비정질 규소 따위로 만들어진 복수 쌍의 저항성 접촉체(163, 165)가 형성되어 있다. 각 쌍의 저항성 접촉체(163, 165)는 해당 게이트선(121)을 중심으로 서로 분리되어 있다.

<46> 저항성 접촉체(163, 165) 및 게이트 절연막(140) 위에는 복수의 데이터선(171) 및 복수의 드레인 전극(175)이 형성되어 있다. 데이터선(171)과 드레인 전극(175)은 알루미늄 또는 은과 같은 저저항의 도전 물질로 이루어진 도전막을 포함한다. 데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 데이터선(171)의 복수의 가지(173)는 각 쌍의 저항성 접촉체(163, 165) 중 하나(163)의 상부까지 연장되어 박막 트랜지스터의 소스 전극(173)을 이

룬다. 데이터선(171)의 한쪽 끝 부근에 위치한 부분(179)은 외부로부터의 화상 신호를 데이터선(171)에 전달한다. 박막 트랜지스터의 드레인 전극(175)은 데이터선(171)과 분리되어 있으며 게이트 전극(123)에 대하여 소스 전극(173)의 반대쪽 저항성 접촉체(165) 상부에 위치한다. 또한, 데이터선(171)과 동일한 층에는 이후의 화소 전극(191)과 전기적으로 연결되어 있으며 앞에서 설명한 바와 같이 게이트선(121)과 중첩하는 유지 축전기용 도전체 패턴(177)이 형성되어 있다.

<47> 데이터선(171) 및 드레인 전극(175)은 알루미늄 또는 알루미늄 합금의 단일막으로 형성하는 것이 바람직하지만, 이중층이상으로 형성될 수도 있다. 이중층이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질, 특히 IZO 또는 IT0와 낮은 접촉 저항을 가지는 물질로 만드는 것이 바람직하다. 그 예로는 Al(또는 Al 합금)/Cr 또는 Al(또는 Al 합금)/Mo(또는 Mo 합금) 등을 들 수 있으며, 본 발명의 실시예에서 데이터(171) 및 드레인 전극(175)은 크롬의 하부 도전막(701)과 알루미늄-네오디뮴 합금의 상부 도전막(702)의 이중막으로 이루어져 있다.

<48> 데이터선(171) 및 드레인 전극(175)과 이들이 가리지 않는 반도체(150) 상부에는 질화 규소 또는 평탄화 특성이 우수한 유기 물질 또는 4.0 이하의 유전율을 가지며 화학 기상 증착으로 적층된 무기 물질로 이루어진 보호막(180)이 형성되어 있다.

<49> 보호막(180)에는 드레인 전극(175), 데이터선(171)의 끝 부분(179) 및 유지 축전기용 도전체 패턴(177)을 각각 드러내는 접촉 구멍(185, 187, 189)이 형성되어 있으며, 게이트 절연막(140)과 함께 게이트선(121)의 끝 부분(125)을 드러내는 접촉 구멍(182)이 형성되어 있다. 여기서, 접촉 구멍(182, 189)은 외부와 연결되는 패드로 사용하는 게이트선(121) 및 데이터선(171) 각각의 끝 부분(125, 179)의 경계선이 드러나도록 형성되어 있고, 접촉 구멍(182,

185, 189)에서 드레인 전극(175)과 게이트선(121) 및 데이터선(171) 각각의 끝 부분(125, 179)의 상부막(202, 702)이 제거되어 있어, 이후에 형성되는 ITO 또는 IZO와의 접촉 특성이 우수한 게이트선(121) 및 데이터선(171)의 하부막(201, 701)을 넓게 확보할 수 있다. 이때, 데이터선(171) 끝 부분(179)의 하부 및 둘레에는 언더 컷되지 않고 게이트 절연막(140)이 잔류하고 있어 접촉 구멍(189)을 통하여 드러나 있다. 이를 통하여 데이터선(171)의 끝 부분(179)과 연결되는 이후의 다른 도전막의 프로파일을 완만하게 형성할 수 있다.

<50> 보호막(180) 상부에는 접촉 구멍(185, 187)을 통하여 드레인 전극(175) 및 유지 축전기 용 도전체 패턴(187)과 전기적으로 연결되어 있으며 화소 영역에 위치하는 화소 전극(191)이 형성되어 있다. 또한, 보호막(180) 위에는 접촉 구멍(182, 189)을 통하여 각각 게이트선(121)의 끝 부분(125) 및 데이터선(171)의 끝 부분(179)과 연결되어 있는 게이트 접촉 보조 부재(192) 및 데이터 접촉 보조 부재(199)가 형성되어 있다. 여기서, 투명 전극(191)과 접촉 보조 부재(192, 199)는 투명한 도전 물질인 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등으로 이루어져 있다. 이러한 본 발명의 제1 실시예에 따른 구조에서는 게이트 접촉 보조 부재(192) 및 데이터 접촉 보조 부재(199)는 게이트선(121) 및 데이터선(171) 각각의 끝 부분(125, 179)의 하부막(201, 701)과 접촉하고 있어 외부의 구동 회로와 연결되는 접촉부에서의 접촉 저항을 최소화할 수 있다. 게이트선(121) 및 데이터선(171) 각각의 끝 부분(125, 179) 하부에서 언더 컷이 없어 게이트 접촉 보조 부재(192) 및 데이터 접촉 보조 부재(199)가 단차로 인하여 단선되는 것을 방지할 수 있으며, 게이트 접촉 보조 부재(192) 및 데이터 접촉 보조 부재(199)의 프로파일(profile)을 완만하게 확보할 수 있어, 이후의 모듈 공정에서 부착되는 구동 집적 회로를 안정적으로 실장할 수 있어 접촉부의 신뢰도를 향상시킬 수 있다.

<51> 물론 화소 전극(191)과 유지 축전기용 도전체 패턴(177) 및 드레인 전극(175)이 접촉하는 부분도 접촉부와 동일한 구조를 취할 수 있다. 이에 대해서는 제2 실시예를 통하여 구체적으로 설명하기로 한다.

<52> 이어, 이러한 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 제조 방법에 대하여 도 1 및 도 2와 도 3a 내지 도 9를 참고로 하여 상세히 설명한다.

<53> 먼저, 도 3a 및 3b에 도시한 바와 같이, 기판(110) 위에 크롬의 하부 도전막(201)과 알루미늄 합금의 금속 중, 2 at%의 Nd를 포함하는 Al-Nd를 포함하는 표적을 이용하여 2,500Å 정도의 두께로 상부 도전막(202)을 차례로 스퍼터링(sputtering)으로 적층하고 패터닝하여 게이트선(121) 20~80° 범위의 경사각의 테이퍼 구조를 가지는 게이트선(121)을 형성한다.

<54> 다음, 도 4a 및 도 4b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(140), 비정질 규소로 이루어진 반도체층, 도핑된 비정질 규소층의 삼층막을 연속하여 적층하고 마스크를 이용한 패터닝 공정으로 반도체층과 도핑된 비정질 규소층을 패터닝하여 게이트 전극(125)과 마주하는 게이트 절연막(140) 상부에 섬형 반도체(150)와 섬형의 도핑된 비정질 규소층(160)을 형성한다. 여기서, 게이트 절연막(140)은 질화 규소를 250~1500°C 온도 범위, 2,000~5,000Å 정도의 두께로 적층하여 형성하는 것이 바람직하다.

<55> 다음, 도 5a 내지 도 5b에 도시한 바와 같이, 몰리브덴 또는 몰리브덴 합금 또는 크롬 등으로 이루어진 하부 도전막(701)을 500Å 정도의 두께로, 저저항을 가지는 알루미늄 또는 알루미늄 합금의 금속 중, 2 at%의 Nd를 포함하는 Al-Nd 합금의 표적을 이용하여 상부 도전막(702)을 150°C 정도에서 2,500Å 정도의 두께로 스퍼터링(sputtering)을 통하여 차례로 적층한 후, 마스크를 이용한 사진 공정으로 패터닝하여 게이트선(121)과 교차하는 복수의 데이터선

(171)과 복수의 드레인 전극(175)을 형성한다. 각 데이터선(171)은 도핑된 비정질 규소층(160) 상부까지 연장되어 있는 소스 전극(173)을 포함한다. 드레인 전극(175)은 데이터선(171)과 분리되어 있으며 게이트 전극(123)을 중심으로 소스 전극(173)과 마주한다. 여기서, 상부막(702) 및 하부막(701)은 모두 습식 식각으로 식각할 수 있으며, 상부막(702)은 습식 식각으로 하부막(701)은 건식 식각으로 식각할 수 있으며, 하부막(701)이 몰리브덴 또는 몰리브덴 합금막인 경우에는 상부막(702)과 하나의 식각 조건으로 패터닝할 수 있다. 이때, 유지 축전기용 도전체 패턴(177) 또한 함께 형성한다.

<56> 이어, 도핑된 비정질 규소층(160) 중에서 데이터선(171) 및 드레인 전극(175)으로 가려지지 않은 부분을 제거하여 도핑된 비정질 규소층(160) 각각을 게이트 전극(123)을 중심으로 두 개의 저항성 접촉체(163, 165)로 분리시키는 한편, 그 아래의 반도체(150) 부분을 노출시킨다. 이어, 반도체(150)의 노출된 부분 표면을 안정화시키기 위하여 산소 플라스마를 실시하는 것이 바람직하다.

<57> 다음으로, 도 6에서 보는 바와 같이, 질화 규소와 같은 무기 절연막을 또는 낮은 유전율을 가지는 유기 절연막을 적층하여 보호막(180)을 형성하고, 그 상부에 감광막(210)을 스펀 코팅 방법으로 도포한다.

<58> 그 후, 마스크를 통하여 감광막(210)에 빛을 조사한 후 현상하여 도 7b에 도시한 바와 같이, 감광막 패턴(212, 214)을 형성한다. 이때, 감광막 패턴(212, 214) 중에서 데이터선(171)의 끝 부분(179)에 대응하는 제2 영역(C1)의 제2 부분(214)은 제1 영역(A1)의 제1 부분(212)보다 얇은 두께를 가지며, 게이트선(121)의 끝 부분(125)에 대응하는 제3 영역(B1)의 제3 부분에서 감광막은 모두 제거한다. 이 때, 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177)의 상부에 위치하는 감광막은 제2 부분(214)과 실질적으로 동일한 두께로 남길 수 있으며

, 제3 영역(B1)에서와 같이 감광막을 모두 제거할 수도 있다. 여기서, 제2 영역(C1)에 남아 있는 감광막(214)의 두께와 제1 영역(A1)에 남아 있는 감광막(212)의 두께의 비는 후술할 식각 공정에서의 공정 조건에 따라 조절한다.

<59> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, 제2 영역(C1)의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

<60> 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

<61> 이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

<62> 이러한 얇은 두께의 감광막(214)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.

<63> 이어, 감광막 패턴(212, 214)을 식각 마스크로 하여 그 하부의 막인 보호막(180) 및 게이트 절연막(140)에 대한 식각을 진행한다. 이때, 제3 영역(B1)에서는 게이트 절연막(140)과 보호막(180)이 제거되어야 하고, 제2 영역(C1)에서는 적어도 게이트 절연막(140)이 남아 있어야 한다.

<64> 우선, 도 8에서 보는 바와 같이, 감광막 패턴(212, 214)을 마스크로 하여 보호막(180) 또는 게이트 절연막(140)을 식각하는데, 이때, 제3 영역(B1)에서는 보호막(180)이 완전히 제거되어야 하며, 제2 영역(C1)에서는 감광막의 일부가 잔류할 수도 있다. 이때, 식각은 전식 식각 방법을 적용하며, 보호막(180) 및 감광막(212, 214)에 대하여 실질적으로 동일한 식각비를 가지는 식각 조건으로 실시하는 것이 좋다. 이는 접촉 구멍(189)을 도 1 및 도 2에서 보는 바와 같이 데이터선(171)의 끝 부분(179)의 경계선이 드러나도록 형성하더라도 이후의 식각 공정에서 데이터선(171)의 끝 부분(179) 하부에 위치하는 게이트 절연막(140)을 용이하게 남길 수 있도록 하고, 언더 컷이 발생하는 것을 방지하기 위함이다. 제3 영역(B1)에서 남은 게이트 절연막(140)의 두께는 보호막(180)보다 얇은 것이 바람직하며, 이는 이후의 식각 공정에서 제3 영역(B1)에서 게이트 패드(125)를 드러내기 위해 게이트 절연막(140)을 완전히 제거하더라도 제2 영역(C1)에서는 보호막(180)을 제거하고 게이트 절연막(140)이 식각되지 않도록 하여 데이터선(171)의 끝 부분(179) 하부에서 언더 컷이 발생하지 않도록 하기 위함이다. 도면에서 보는 바와 같이 제3 영역(B1)에서는 게이트 절연막(140) 일부가 식각될 수 있다. 이어, 애싱 공정을 통하여 제2 영역(C1)에서 잔류하는 감광막의 제2 부분(214)을 완전히 제거하여 제2 영역(C1)에서 드레인 전극(175), 유지 축전기용 도전체 패턴(177) 및 데이터선(171)의 끝 부분(179) 상부에 위치하는 보호막(180)을 드러낸다.

<65> 이어, 도 9에서 보는 바와 같이, 낮은 감광막의 제1 부분(212)을 식각 마스크로 사용하여 드러난 제2 및 제3 영역(C1, B1)에서 보호막(180) 및 게이트 절연막(140)을 제거하여 드레인 전극(175) 및 유지 축전기용 도전체 패턴(177) 및 데이터선(171) 및 게이트선(121)의 끝 부분(179, 125)을 드러내는 접촉 구멍(185, 187, 189, 182)을 완성한다. 이때, 식각은 건식 식각으로 사용하며, 게이트 절연막(140)과 보호막(180)에 대하여 실질적으로 동일한 식각비를 가지는 식각 조건으로 실시한다. 이어, 접촉 구멍(182, 185, 187, 179)을 통하여 드러난 알루미늄 합금의 상부막(202, 702)을 제거한다. 이는 드레인 전극(175), 유지 축전기용 도전체 패턴(177) 또는 게이트선(121) 및 데이터선(171)의 끝 부분(125, 179)과 이후에 형성되는 ITO 및 IZO와의 접촉 저항을 최소화하기 위함이다.

<66> 다음, 마지막으로 도 1 및 2에 도시한 바와 같이, ITO 또는 IZO막을 적층하고 마스크를 이용한 패터닝을 실시하여 접촉 구멍(185)을 통하여 드레인 전극(175)과 연결되는 화소 전극(191)과 접촉 구멍(182, 189)을 통하여 게이트선(121)의 끝 부분(125) 및 데이터선(171)의 끝 부분(179)과 각각 연결되는 게이트 접촉 보조 부재(192) 및 데이터 접촉 보조 부재(199)를 각각 형성한다. 이때, 게이트 접촉 보조 부재(192) 및 데이터 접촉 보조 부재(199), 특히 데이터 접촉 보조 부재(189)의 하부에서 언더 컷이 발생하지 않아 데이터 접촉 보조 부재(189)가 단선되는 것을 방지할 수 있으며, 패드부의 프로파일을 완만하게 형성할 수 있으며, 접촉부에서 IZO 또는 ITO막과 낮은 접촉 저항을 가지는 하부막(701)과 충분히 접하고 있어 접촉부의 접촉 저항을 최소화할 수 있다.

<67> 이러한 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 구조는 게이트선(121) 및 데이터선(171)이 저저항을 가지는 알루미늄 또는 알루미늄 합금의 도전막을 포함하고 있는 동시

에 접촉부 특히 드레인 전극(175)과 화소 전극(191)의 접촉 저항을 최소화할 수 있어 대화면 고정세의 액정 표시 장치에 적용할 수 있다.

<68> 이러한 접촉부의 구조는 앞에서 설명한 바와 같이, 5매의 마스크를 이용하여 완성된 박막 트랜지스터 표시판에 적용할 수 있지만, 4매 마스크를 이용하여 완성된 액정 표시 장치용 박막 트랜지스터 표시판에도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

<69> 먼저, 도 10 내지 도 12를 참고로 하여 본 발명의 실시예에 따른 4매 마스크를 이용하여 완성된 액정 표시 장치용 박막 트랜지스터 표시판의 단위 화소 구조에 대하여 상세히 설명한다.

<70> 도 10은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 11 및 도 12는 각각 도 10에 도시한 박막 트랜지스터 표시판을 XI-XI' 선 및 XII-XII' 선을 따라 잘라 도시한 단면도이다.

<71> 도 10 내지 도 12에서 보는 바와 같이, 본 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조는 대개 도 1 및 도 2에 도시한 액정 표시 장치용 박막 트랜지스터 표시판의 구조와 동일하다.

<72> 그러나 도 1 및 도 2에 도시한 박막 트랜지스터 표시판과 달리, 본 실시예에 따른 박막 트랜지스터 표시판은 절연 기판(110) 위에 형성되어 있는 복수의 유지 전극선(131)을 포함하며, 게이트선(121)에는 확장부가 존재하지 않는다. 유지 전극선(131)은 게이트선(121)과 동일한 물질로 만들어지고, 게이트선(121)과 거의 평행하며 게이트선(121)으로부터 전기적으로 분리되어 있다. 유지 전극선(131)은 기준 전압 따위의 전압을 인가 받으며, 복수의 화소 전극(191)

과 연결된 복수의 드레인 전극(175)과 게이트 절연막(140)을 중심으로 서로 마주 보고 있어 복수의 유지 축전기를 이룬다. 화소 전극(191)과 게이트선(121)의 중첩으로 발생하는 유지 용량이 충분할 경우 유지 전극선(131)은 생략할 수도 있다.

<73> 또한, 복수의 선형 반도체(152) 및 복수의 저항성 접촉체(163, 165)가 구비되어 있다.

<74> 선형 반도체(152)는 데이터선(171)과 드레인 전극(175) 사이의 박막 트랜지스터의 채널부를 제외하면 복수의 데이터선(171) 및 복수의 드레인 전극(175)과 거의 동일한 평면 모양이다. 즉, 박막 트랜지스터의 채널부에서 데이터선(171)과 드레인 전극(175)은 서로 분리되어 있으나, 선형 반도체(152)는 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 이룬다. 저항성 접촉체(163, 165)는 각각 데이터선(171) 및 드레인 전극(175)과 실질적으로 동일한 모양을 가진다.

<75> 또한, 드레인 전극(175)을 드러내는 접촉 구멍(185)은 드레인 전극(175)보다 커 드레인 전극(175)의 경계선을 드러내고 있으며, 접촉 구멍(185)을 통하여 드러난 드레인 전극(175)에서 상부막(702)이 제거되어 화소 전극(191)은 드레인 전극(175)의 하부막(701)과 이와 인접한 게이트 절연막(140)과 접촉하고 있다. 이때, 드레인 전극(175)의 주변에는 게이트 절연막(140)이 남아 있어 화소 전극(191)은 접촉부에서 완만한 프로파일을 가진다.

<76> 여기에서는 화소 전극(191)의 재료의 예로 투명한 IZO를 들었으나, 투명한 도전성 폴리머(polymer) 등으로 형성할 수도 있으며, 반사형 액정 표시 장치의 경우 불투명한 도전 물질을 사용하여도 무방하다.

<77> 그러면, 도 10 내지 도 12의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 표시판을 4매 마스크를 이용하여 제조하는 방법에 대하여 상세하게 도 10 내지 도 12와 도 13a 내지 도 22c를 참조하여 설명하기로 한다.

<78> 도 13a는 본 발명의 제2 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 표시판의 배치도이고, 도 13b 및 13c는 각각 도 13a에서 XIIIf-XIIIf' 선 및 XIIIf-XIIIf' 선을 따라 잘라 도시한 단면도이며, 도 14a 및 14b는 각각 도 13a에서 XIIIf-XIIIf' 선 및 XIIIf-XIIIf' 선을 따라 잘라 도시한 단면도로서, 도 13b 및 도 13c 다음 단계에서의 단면도이고, 도 15a는 도 14a 및 14b 다음 단계에서의 박막 트랜지스터 표시판의 배치도이고, 도 15b 및 15c는 각각 도 15a에서 XVb-XVb' 선 및 XVc-XVc' 선을 따라 잘라 도시한 단면도이며, 도 16a, 17a, 18a와 도 16b, 17b, 18b는 각각 도 15a에서 XVb-XVb' 선 및 XVc-XVc' 선을 따라 잘라 도시한 단면도로서 도 15b 및 15c 다음 단계들을 공정 순서에 따라 도시한 것이고, 도 19a는 도 18a 및 도 18b의 다음 단계에서의 박막 트랜지스터 표시판의 배치도이고, 도 19b 및 19c는 각각 도 19a에서 XIXb-XIXb' 선 및 XIXc-XIXc' 선을 따라 잘라 도시한 단면도이고, 도 20a, 21a, 22a와 도 20b, 21b, 22b는 각각 도 19a에서 XIXb-XIXb' 선 및 XIXc-XIXc' 선을 따라 잘라 도시한 단면도로서 도 19b 및 19c 다음 단계들을 공정 순서에 따라 도시한 것이다.

<79> 먼저, 도 13a 내지 13c에 도시한 바와 같이, ITO 또는 IZO와 낮은 접촉 저항을 가지는 몰리브덴 또는 몰리브덴 합금 또는 크롬 등으로 이루어진 하부 도전막(201)과 낮은 비저항을 가지는 알루미늄 또는 알루미늄 합금 중, 2 at%의 Nd를 포함하는 Al-Nd 합금의 표적을 스퍼터링하여 적층한 상부 도전막(202)을 차례로 형성한 후, 사진 및 식각 공정으로 패터닝하여 복수의 게이트선(121) 및 복수의 유지 전극선(131)을 형성한다.

<80> 다음, 도 14a 및 14b에 도시한 바와 같이, 게이트 절연막(140), 반도체층(150), 도핑된 비정질 규소층(160)을 화학 기상 증착법을 이용하여 각각 약 1,500 Å 내지 약 5,000 Å, 약 500 Å 내지 약 2,000 Å, 약 300 Å 내지 약 600 Å의 두께로 연속 증착한다. 이어 도전체층(170)을 스퍼터링 등의 방법으로 1,500 Å 내지 3,000 Å의 두께로 증착한 다음 그 위에 감광막(310)을 1 μm 내지 2 μm의 두께로 도포한다.

<81> 그 후, 광마스크를 통하여 감광막(310)에 빛을 조사한 후 현상하여, 도 15b 및 15c에 도시한 바와 같이, 두께가 서로 다른 제1 부분(312)과 제2부분(314)을 포함하는 감광막 패턴(312, 314)을 형성한다. 이때, 박막 트랜지스터의 채널 영역(C2)에 위치한 제2 부분(314)은 데이터 영역(A2)에 위치한 제1 부분(312)보다 두께가 작게 되도록 하며, 기타 영역(B2)의 감광막(310) 부분은 모두 제거하거나 매우 작은 두께를 가지도록 한다.

<82> 이어, 감광막 패턴(314) 및 그 하부의 막들, 즉 도전체층(170), 중간층(160) 및 반도체층(150)에 대한 식각을 진행한다. 이때, 데이터 배선부(A2)에는 데이터선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C2)에는 반도체층만 남아 있어야 하며, 나머지 부분(B2)에는 위의 3개 층(170, 160, 150)이 모두 제거되어 게이트 절연막(140)이 드러나야 한다.

<83> 먼저, 도 16a 및 16b에 도시한 것처럼, 기타 부분(B2)의 노출되어 있는 도전체층(170)을 제거하여 그 하부의 중간층(160)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(170)은 식각되고 감광막 패턴(312, 314)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(170)만을 식각하고 감광막 패턴(312, 314)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(312, 314)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제2

부분(314)의 두께를 두껍게 하여 이 과정에서 제2 부분(314)이 제거되어 하부의 도전체층(170)이 드러나는 일이 생기지 않도록 한다.

<84>      도전체층(170)의 도전막 중 Mo 또는 MoW 합금, Al 또는 Al 합금, Ta 중 하나를 포함하는 도전막은 건식 식각이나 습식 식각 중 어느 것이라도 가능하다. 그러나 Cr은 건식 식각 방법으로는 잘 제거되지 않기 때문에 하부막(701)이 Cr이라면 습식 식각만을 이용하는 것이 좋다. 하부막(701)이 Cr인 습식 식각의 경우에는 식각액으로 CeNH<sub>4</sub>O<sub>3</sub>을 사용할 수 있고, 하부막(701)이 Mo나 MoW인 건식 식각의 경우의 식각 기체로는 CF<sub>4</sub>와 HCl의 혼합 기체나 CF<sub>4</sub>와 O<sub>2</sub>의 혼합 기체를 사용할 수 있으며 후자의 경우 감광막에 대한 식각비도 거의 비슷하다.

<85>      이렇게 하면, 도 16a 및 도 16b에 나타낸 것처럼, 채널부(C2) 및 데이터 배선부(B2)의 도전체층, 즉 소스/드레인용 도전체 패턴(178)만이 남고 기타 부분(B2)의 도전체층(170)은 모두 제거되어 그 하부의 중간층(160)이 드러난다. 이때 남은 도전체 패턴(178)은 소스 및 드레인 전극(173, 175)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터선(171)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(312, 314)도 어느 정도의 두께로 식각된다.

<86>      이어, 도 17a 및 17b에 도시한 바와 같이, 기타 부분(B2)의 노출된 중간층(160) 및 그 하부의 반도체층(150)을 감광막의 제2 부분(314)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(312, 314)과 중간층(160) 및 반도체층(150)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(140)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(312, 314)과 반도체층(150)에 대한 식각비가 거의 실질적으로 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF<sub>6</sub>과 HCl의 혼합 기체나, SF<sub>6</sub>과

<sub>2</sub>의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(312, 314)과 반도체층(150)에 대한 식각비가 동일한 경우 제2 부분(314)의 두께는 반도체층(150)과 중간층(160)의 두께를 합한 것과 같거나 그보다 작아야 한다.

<87> 이렇게 하면, 도 17a 및 17b에 나타낸 바와 같이, 채널 영역(C2)의 제2 부분(314)이 제거되어 소스/드레인용 도전체 패턴(178)이 드러나고, 기타 부분(B2)의 중간층(160) 및 반도체층(150)이 제거되어 그 하부의 게이트 절연막(140)이 드러난다. 한편, 데이터 배선부(A2)의 제1 부분(312) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체(152)가 완성된다. 도면 부호 168은 각각 소스/드레인용 도전체 패턴(178) 하부의 중간층 패턴을 가리킨다.

<88> 이어 애싱(ashing)을 통하여 채널부(C2)의 소스/드레인용 도전체 패턴(178) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

<89> 다음, 도 18a 및 18b에 도시한 바와 같이 채널 영역(C2)의 소스/드레인용 도전체 패턴(178) 및 그 하부의 소스/드레인용 중간층 패턴(168)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(178)과 중간층 패턴(168) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(178)에 대해서는 습식 식각으로, 중간층 패턴(168)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(178)과 중간층 패턴(168)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C2)에 남는 반도체 패턴(152)의 두께를 조절하기가 쉽지 않기 때문이다. 예를 들면, SF<sub>6</sub>과 O<sub>2</sub>의 혼합 기체를 사용하여 소스/드레인용 도전체 패턴(178)을 식각하는 것을 들 수 있다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 소스/드레인용 도전체 패턴(178)의 측면은 식각되지만, 건식 식각되는 중간층 패턴(168)은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 중간층 패

턴(168) 및 반도체(152)를 식각할 때 사용하는 식각 기체의 예로는 앞에서 언급한 CF<sub>4</sub>와 HCl의 혼합 기체나 CF<sub>4</sub>와 O<sub>2</sub>의 혼합 기체를 들 수 있으며, CF<sub>4</sub>와 O<sub>2</sub>를 사용하면 균일한 두께로 반도체(152)를 남길 수 있다. 이때, 도 18b에 도시한 것처럼 반도체(152)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(314)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(140)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(314)이 식각되어 그 하부의 데이터선(171) 및 드레인 전극(175)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

<90> 이렇게 하면, 도 15a, 18a 및 18b에서 보는 바와 같이, 소스 전극(173)과 드레인 전극(175)이 분리되면서 데이터선(171) 및 드레인 전극(175)과 그 하부의 저항성 접촉체(163, 165)가 완성된다.

<91> 마지막으로 데이터 배선부(A2)에 남아 있는 감광막 제1 부분(312)을 제거한다. 그러나, 제1 부분(312)의 제거는 채널부(C2) 소스/드레인용 도전체 패턴(178)을 제거한 후 그 밑의 중간층 패턴(168)을 제거하기 전에 이루어질 수도 있다.

<92> 앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

<93> 이와 같이 하여 데이터선(171) 및 드레인 전극(175)을 형성한 후, 도 19a 및 19b에 도시한 바와 같이 질화 규소를 CVD 방법으로 증착하거나 낮은 유전율을 가지는 유기 절연막을 적층하여 보호막(180)을 형성한다. 이어, 그 상부에 감광막(410)을 스판 코팅 방법으로 도포한

후, 마스크를 통하여 감광막(410)에 빛을 조사한 후 현상하여 도 19b 및 도 19c에서 보는 바와 같이 감광막 패턴(412, 414)을 형성한다. 이때, 감광막 패턴(412, 414) 중에서 제2 영역(C3), 즉 드레인 전극(175) 및 데이터선(171)의 끝 부분(179) 상부에 위치한 제2 부분(414)은 게이트선(121)의 끝 부분(125)에 대응하는 제3 영역(B3)을 제외한 제1 영역(A3)에 위치한 제1 부분(412)보다 얇은 두께를 가지며, 제3 영역(B3)의 감광막은 모두 제거한다. 여기서, 제2 영역(C3)에 남아 있는 감광막(414)은 보호막(180)보다 같거나 얇은 두께로 남기는 것이 바람직하다.

<94> 이때, 감광막 패턴(412, 414)을 식각 마스크로 하여 그 하부의 막인 보호막(180) 및 게이트 절연막(140)에 대한 식각을 진행한다. 이때, 제3 영역(B3)에서는 게이트 절연막(140)과 보호막(180)이 제거되어야 하고, 제2 영역(C3)에서는 적어도 게이트 절연막(140)이 남아 있어야 한다.

<95> 우선, 도 20a 및 도 20b에서 보는 바와 같이 감광막 패턴(412, 414)을 마스크로 하여 보호막(180) 또는 게이트 절연막(140)을 식각하는데, 이때, 제3 영역(B3)에서는 보호막(180)이 완전히 제거되어야 하며, 제2 영역(C3)에서는 감광막의 일부가 잔류할 수도 있다. 이때, 제3 영역(B3)에서 남은 게이트 절연막(140)의 두께는 보호막(180)보다 얇은 것이 바람직하며, 이는 앞에서 설명한 바와 같이 드레인 전극(175) 및 데이터선(171)의 끝 부분(179) 하부에서 언더컷이 발생하지 않도록 하기 위함이다. 도면에서 보는 바와 같이 제3 영역(B3)에서는 게이트 절연막(140) 일부가 식각될 수 있다. 이어, 애싱 공정을 통하여 제2 영역(C3)에서 잔류하는 감광막의 제2 부분(414)을 완전히 제거하여 제2 영역(C3)에서 드레인 전극(175) 및 데이터선(171)의 끝 부분(179) 상부에 위치하는 보호막(180)을 드러낸다.

<96> 이어, 도 21a 및 도 21b에서 보는 바와 같이, 남은 감광막의 제1 부분(412)을 식각 마스크로 사용하여 드러난 제2 영역(C3)에서 보호막(180)을 제거하여 드레인 전극(175) 및 데이터선(171)의 끝 부분(179)을 드러내는 접촉 구멍(185, 189)을 완성한다. 이때, 식각은 전식 식각으로 사용하며, 게이트 절연막(140)과 보호막(180)에 대하여 실질적으로 동일한 식각비를 가지는 식각 조건으로 실시한다. 이렇게 하면, 제3 영역(B3)에서 게이트선의 끝 부분(125) 상부의 게이트 절연막(140)은 제2 영역(C3)의 보호막(180)보다 얇은 두께를 가지고 있기 때문에, 제3 영역(B3)에서는 게이트 절연막(140)이 완전히 제거하여 게이트선의 끝 부분(125)을 드러내는 접촉 구멍(182)을 완성할 때 제2 영역(C3)에서 게이트 절연막(140)을 남길 수 있다.

<97> 이어, 도 22a 및 도 22b에서 보는 바와 같이, 접촉 구멍(182, 185, 189)을 통하여 드러난 알루미늄 합금의 상부막(202, 702)을 제거한다. 이는 드레인 전극(175) 또는 게이트선(121) 및 데이터선(171) 각각의 끝 부분(125, 179)의 하부막(201, 701)을 드러낸다.

<98> 마지막으로, 도 10 내지 도 12에 도시한 바와 같이, 제1 실시예와 같은 방법으로 1500 Å 내지 500 Å 두께의 IZO층을 스퍼터링 방법으로 증착하고 마스크를 사용하는 사전 식각 공정으로 패터닝하여 드레인 전극(175)과 연결된 화소 전극(191), 게이트선(121)의 끝 부분(125)과 연결된 게이트 접촉 보조 부재(192) 및 데이터선(171)의 끝 부분(179)과 연결된 데이터 접촉 보조 부재(199)를 형성한다. IZO를 패터닝하기 위한 식각액은 크롬(Cr)의 금속막을 식각하는데 사용하는 크롬 식각액을 사용하는데, 이는 알루미늄을 부식시키지 않아 데이터선 또는 게이트선이 부식되는 것을 방지할 수 있으며, 식각액으로 ( $\text{HNO}_3/\text{(NH}_4)_2\text{Ce}(\text{NO}_3)_6/\text{H}_2\text{O}$ ) 등을 들 수 있다.

<99> 이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터선(171) 및 드레인 전극(175)과 그 하부의 저항성 접촉체(163, 165) 및 반도체(152)를 하나의 마스크를

이용하여 형성하고 이 과정에서 데이터선(171)으로부터 드레인 전극(175)이 분리하여 제조 공정을 단순화할 수 있다.

<100> 본 발명의 실시예에 따른 접촉부의 구조는 박막 트랜지스터 어레이 위에 색 필터가 형성되어 있는 COA(color filter on array) 액정 표시 장치용 박막 트랜지스터 표시판의 구조에서 도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

<101> 도 23은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조를 도시한 배치도이고, 도 24는 도 23에서 XXIII-XXIII' 선을 따라 잘라 도시한 단면도이다.

<102> 대부분의 구조는 도 1 및 도 2와 대개 동일하다.

<103> 하지만, 보호막(180) 하부의 화소 영역에는 드레인 전극(175)과 유지 축전기용 도전체 패턴(177)을 드러내는 개구부(C1, C2)를 가지는 적, 녹, 청의 컬러 필터(R, G, B)가 세로 방향으로 형성되어 있다. 여기서, 적, 녹, 청의 컬러 필터(R, G, B)의 경계는 데이터선(171) 상부에서 일치하여 도시되어 있지만, 데이터선(171) 상부에서 서로 중첩되어 화소 영역 사이에서 누설되는 빛을 차단하는 기능을 가질 수 있으며, 게이트선 및 데이터선 각각의 끝 부분(125, 179)이 배치되어 있는 접촉부에서는 형성되어 있지 않다.

<104> 청, 녹, 청의 컬러 필터(R, G, B) 상부의 보호막(180)은 게이트 절연막(140)과 함께 게이트선의 끝 부분(125), 데이터선의 끝 부분(179), 드레인 전극(175) 및 유지 축전기용 도전체(177)를 드러내는 접촉 구멍(182, 189, 185, 187)을 가지고 있다. 이때, 드레인 전극(175) 및 유지 축전기용 도전체(177)를 드러내는 접촉 구멍(185, 187)은 컬러 필터(R, G, B)의 개구부(C1, C2) 안쪽에 위치하며, 접촉 구멍(185, 187) 및 개구부(C1, C2)의 측벽은 계단 모양을 가질 수도 있다.

<105> 이러한 COA 구조의 액정 표시 장치용 박막 트랜지스터 기판의 구조에서도 제1 및 제2 실시예에서와 같이 동일한 효과를 얻을 수 있다.

### 【발명의 효과】

<106> 이와 같이, 본 발명에 따르면 접촉부에서 배선의 경계를 드러낼 때 배선 하부에서 언더컷이 발생하는 것으로 방지함으로써 접촉부의 프로파일을 완만하게 확보할 수 있다. 이를 통하여, 접촉부에서 단선이 발생하는 것을 방지할 수 있으며, 구동 접적 회로를 안정적으로 실장할 수 있어 접촉부의 신뢰성을 확보할 수 있다. 또한, 접촉 저항이 낮은 도전막을 드러내어 접촉부를 형성함으로써 접촉부의 접촉 저항을 최소화할 수 있다.

<107> 또한, 저저항의 알루미늄 또는 알루미늄 합금을 포함하는 도전막을 포함하는 배선을 형성함으로써 대화면 고정세의 제품의 특성을 향상시킬 수 있다. 또한, 제조 공정을 단순화하여 액정 표시 장치용 박막 트랜지스터 표시판을 제조함으로 제조 공정을 단순화하고 제조 비용을 줄일 수 있다.

**【특허청구범위】****【청구항 1】**

절연 기판 위에 형성되어 있는 게이트선,

상기 게이트선을 덮는 게이트 절연막,

상기 게이트 절연막 상부에 형성되어 있는 반도체층,

상기 게이트 절연막 상부에 형성되어 있으며, 일부는 상기 반도체층과 접하는 데이터선

,

상기 데이터선을 덮고 있으며, 상기 데이터선 또는 상기 게이트선 끝 부분의 경계선 일부를 드러내는 제1 접촉 구멍을 가지는 보호막,

적어도 상기 제1 접촉 구멍을 통하여 상기 게이트선 또는 데이터선 끝 부분의 경계를 덮고 있으며, 상기 보호막 상부에 형성되어 있는 접촉 보조 부재

을 포함하는 박막 트랜지스터 표시판.

**【청구항 2】**

제1항에서,

상기 게이트선 또는 상기 데이터선은 크롬 또는 몰리브덴 또는 몰리브덴 합금의 하부막과 알루미늄 또는 알루미늄 합금의 상부막으로 이루어진 박막 트랜지스터 표시판.

**【청구항 3】**

제2항에서,

상기 접촉 보조 부재는 상기 하부막과 접촉하고 있는 박막 트랜지스터 표시판.

**【청구항 4】**

제1항에서,

상기 접촉 보조 부재는 IZO 또는 ITO로 이루어진 박막 트랜지스터 표시판.

**【청구항 5】**

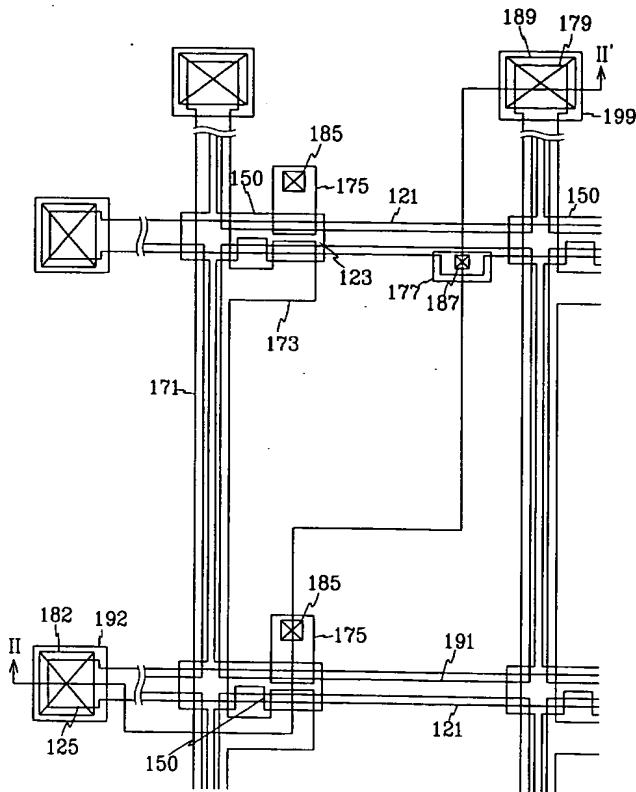
제1항에서,

상기 데이터선과 분리되어 상기 게이트 절연막 상부에 형성되어 있으며, 일부는 상기 반도체층과 접하는 드레인 전극,

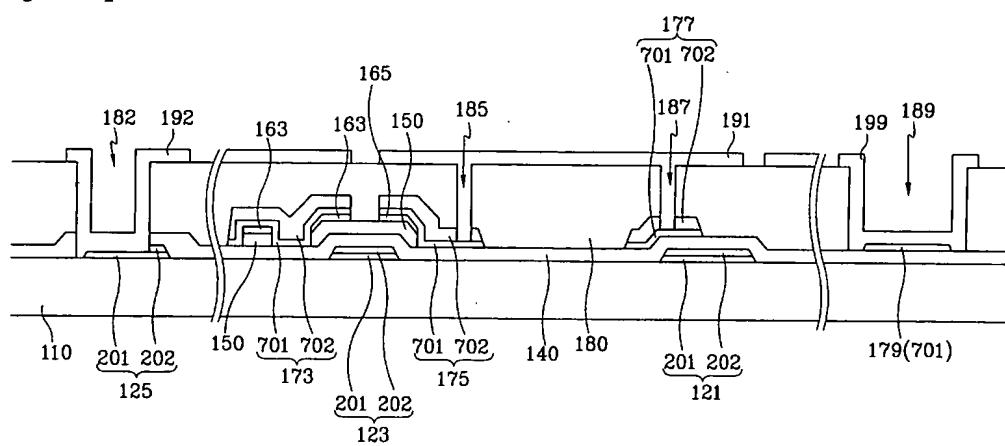
상기 보호막 상부에 형성되어 있으며, 상기 드레인 전극을 드러내는 제2 접촉 구멍을 통하여 상기 드레인 전극과 연결되어 있는 화소 전극  
을 더 포함하는 박막 트랜지스터 표시판.

## 【도면】

【도 1】



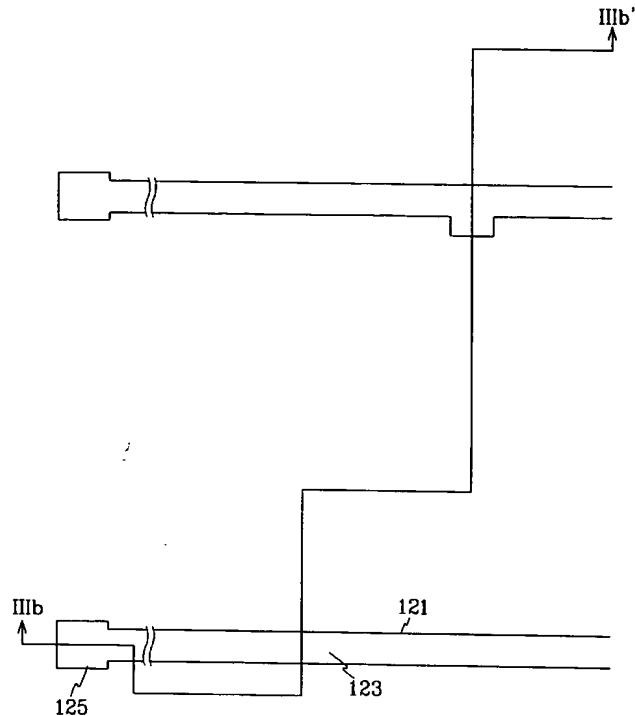
【도 2】



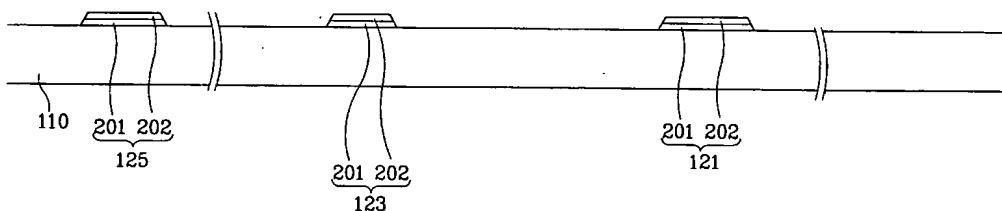
1020030007411

출력 일자: 2004/1/17

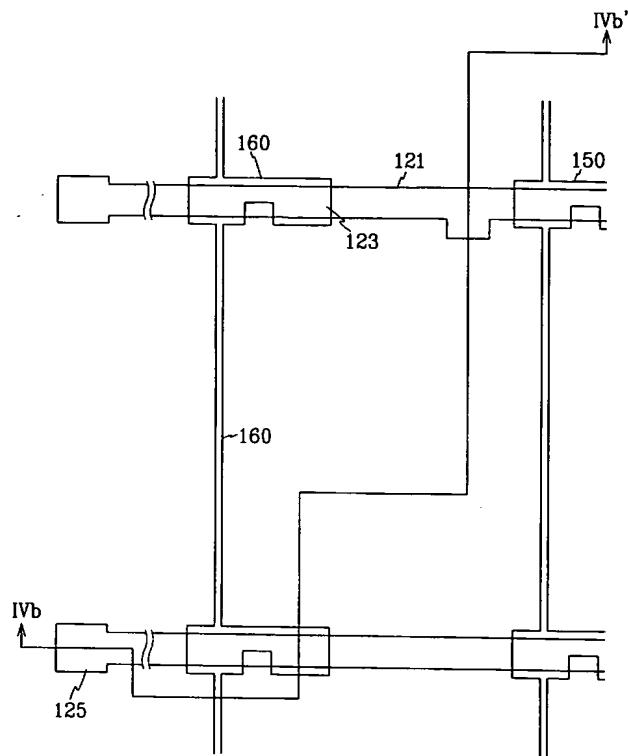
【도 3a】



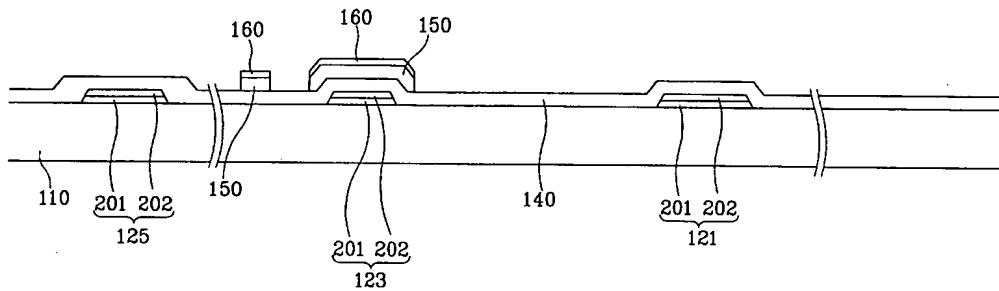
【도 3b】



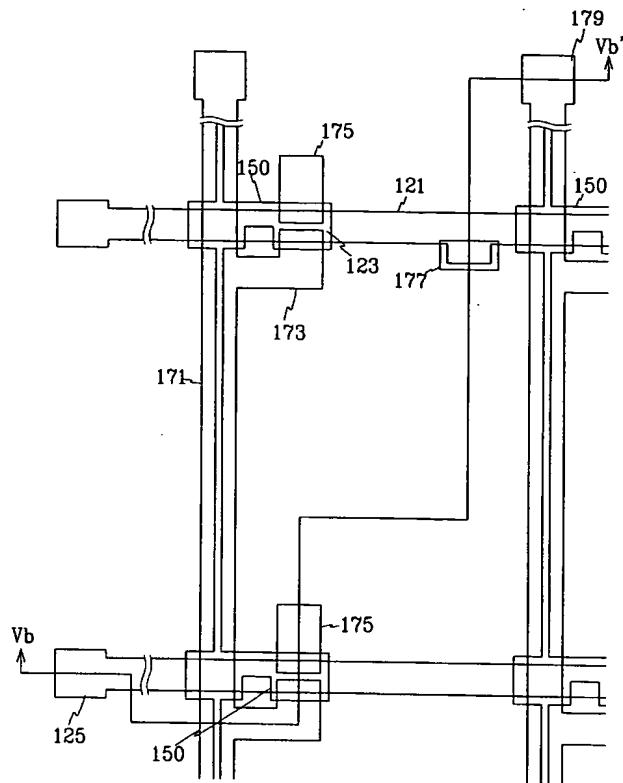
【도 4a】



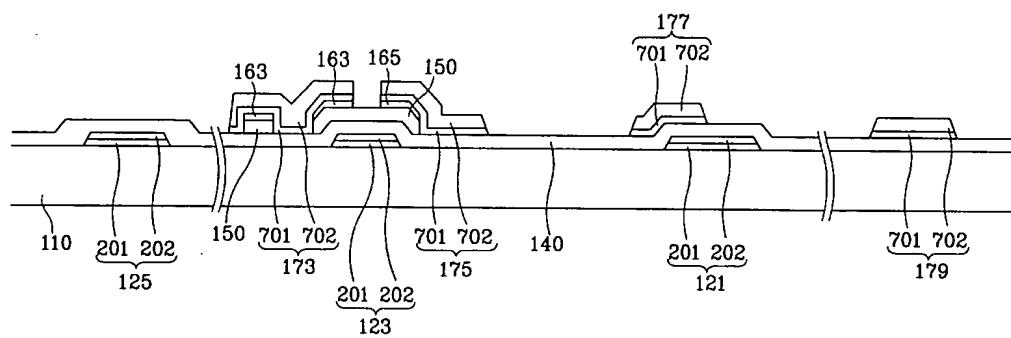
【도 4b】



【도 5a】



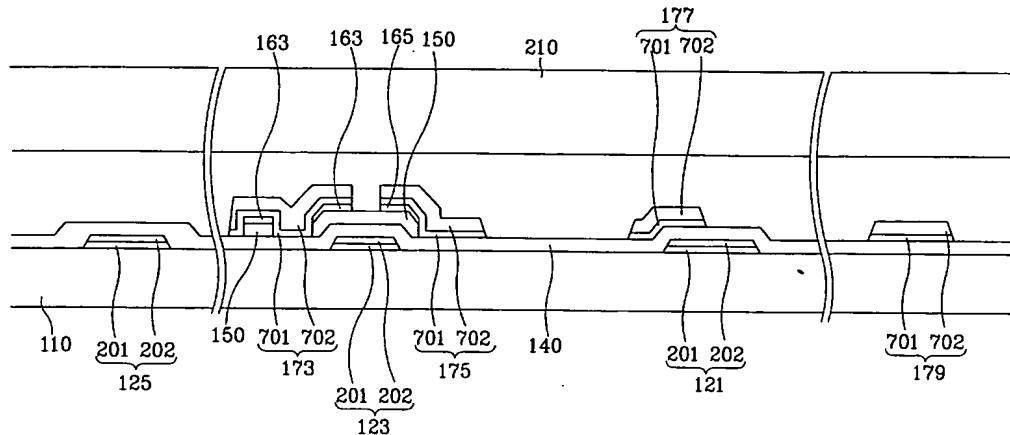
【도 5b】



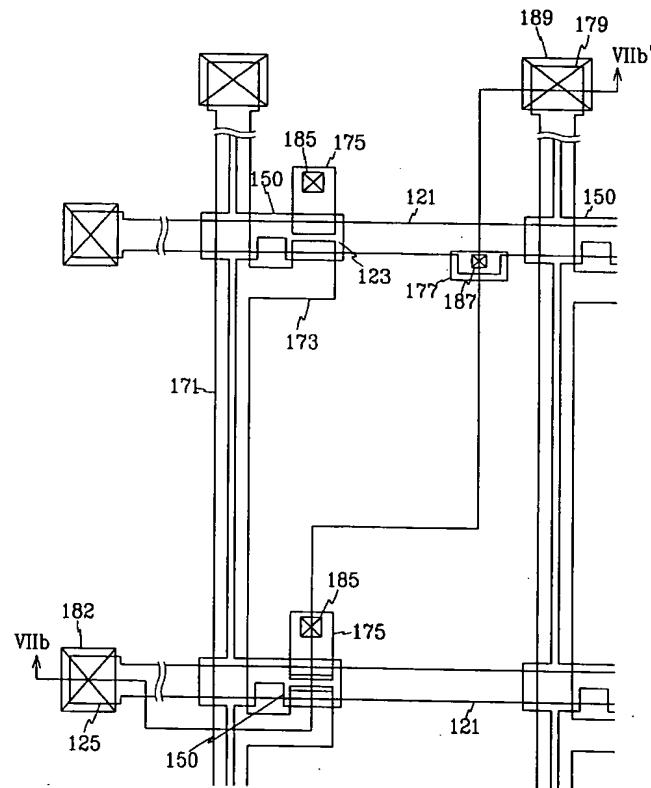
1020030007411

출력 일자: 2004/1/17

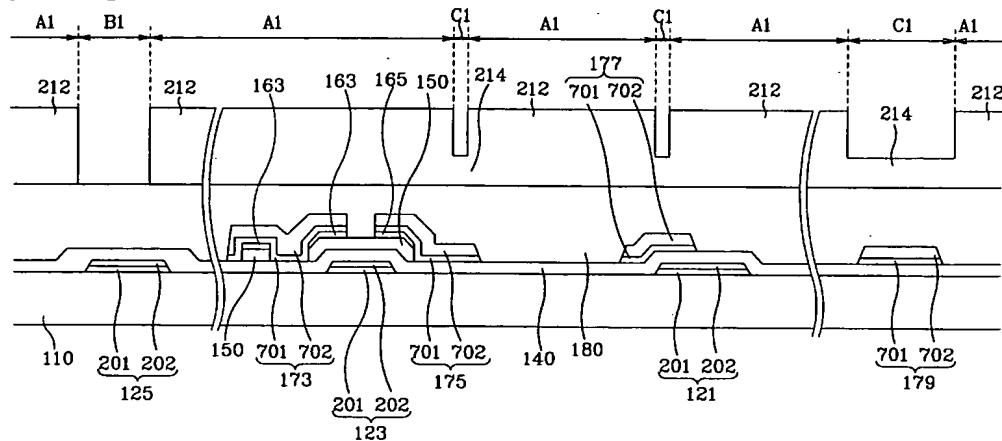
【도 6】



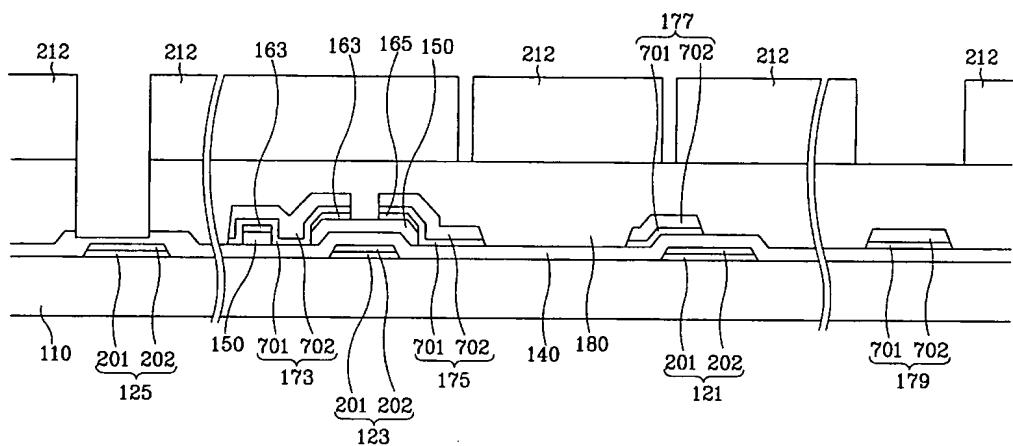
【도 7a】



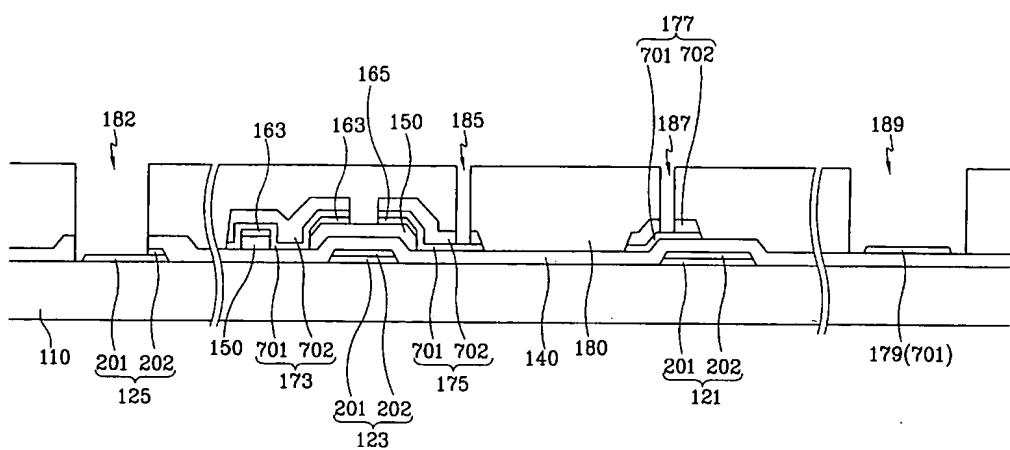
【도 7b】



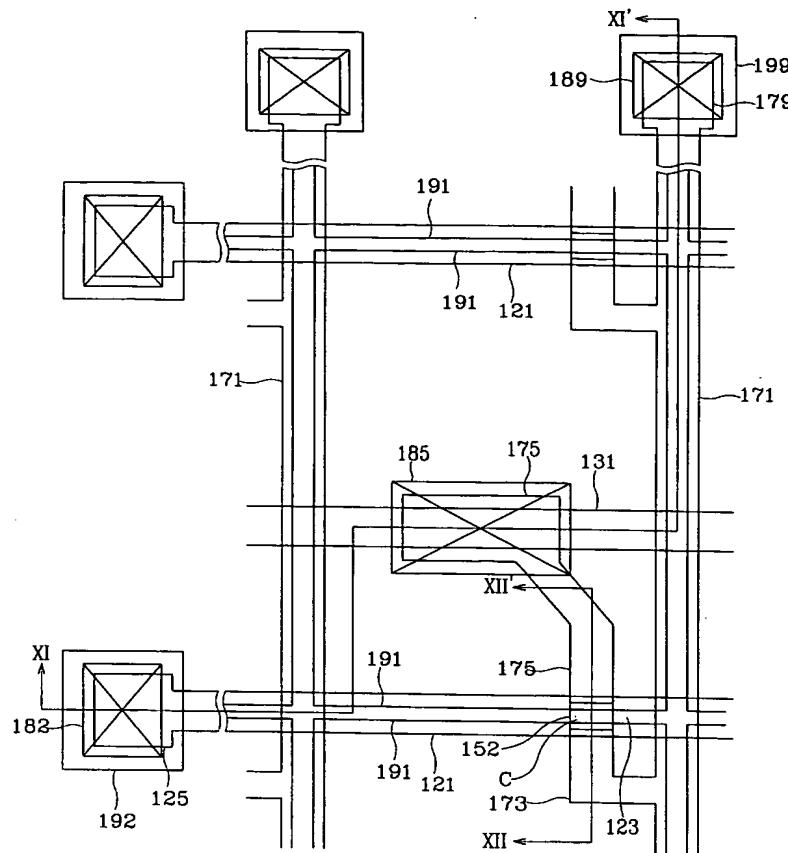
【도 8】



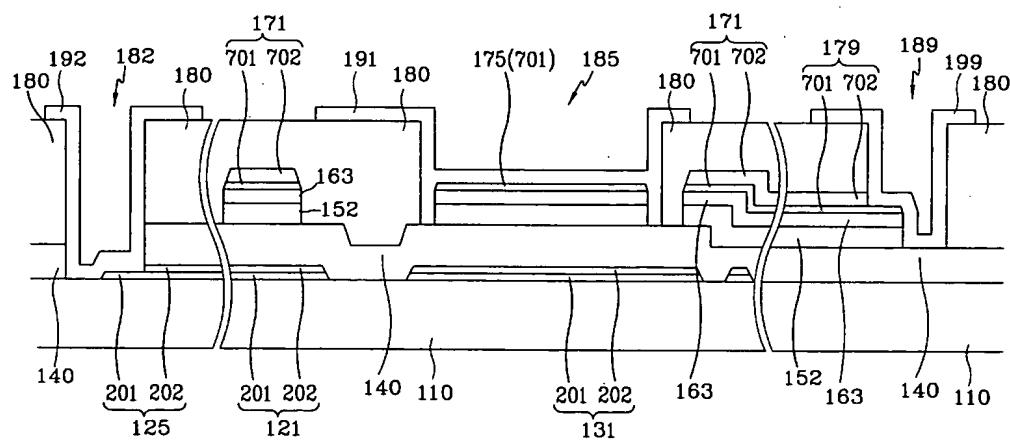
【도 9】



【도 10】



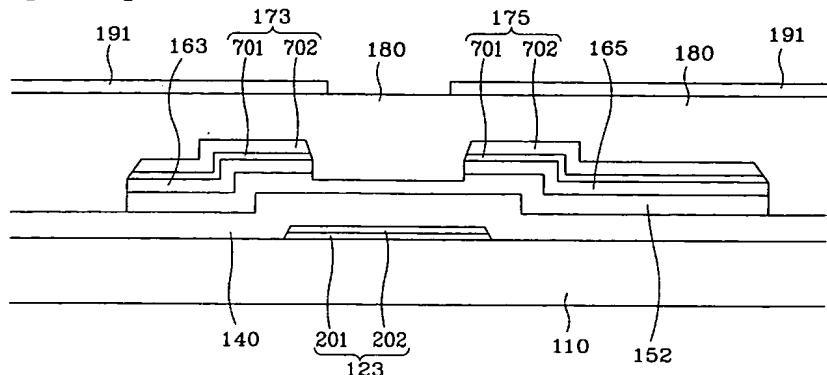
【도 11】



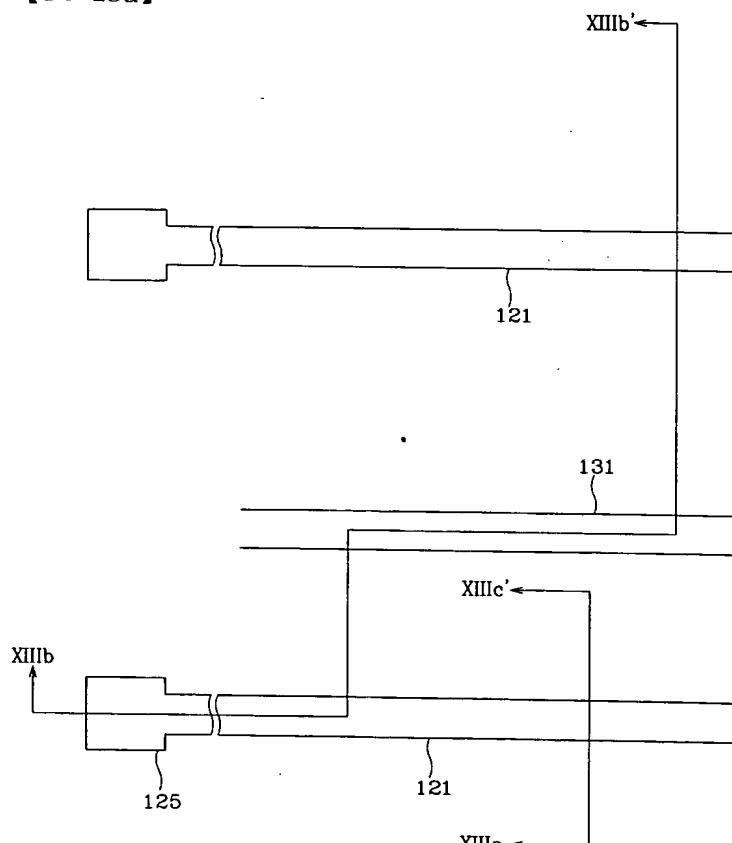
1020030007411

출력 일자: 2004/1/17

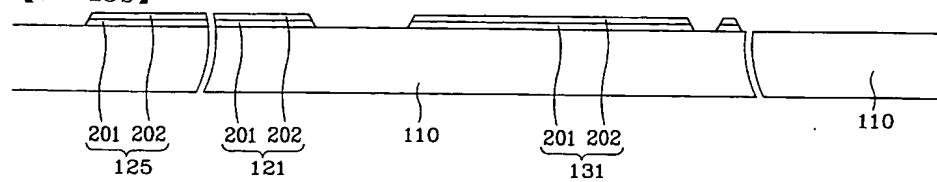
【도 12】



【도 13a】



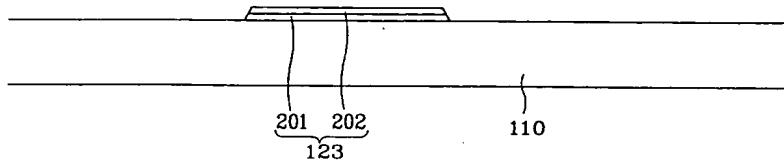
【도 13b】



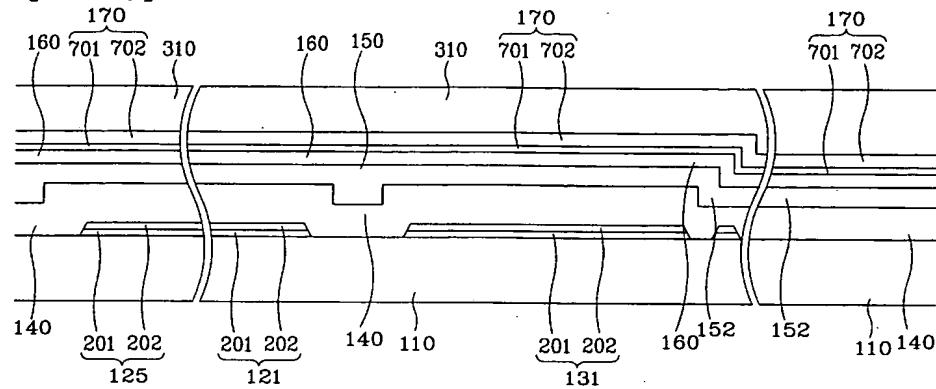
1020030007411

출력 일자: 2004/1/17

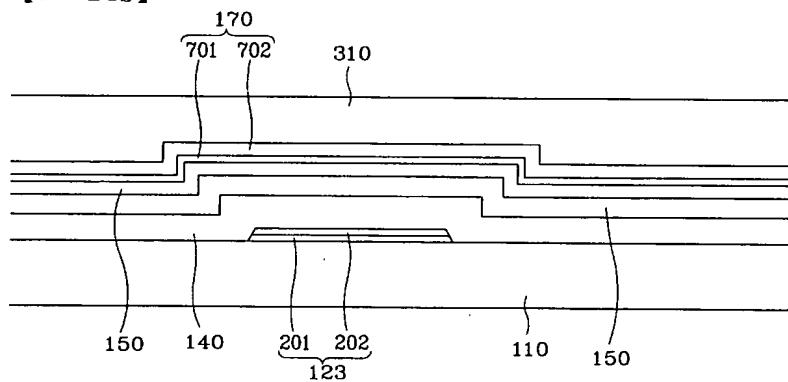
【도 13c】



【도 14a】



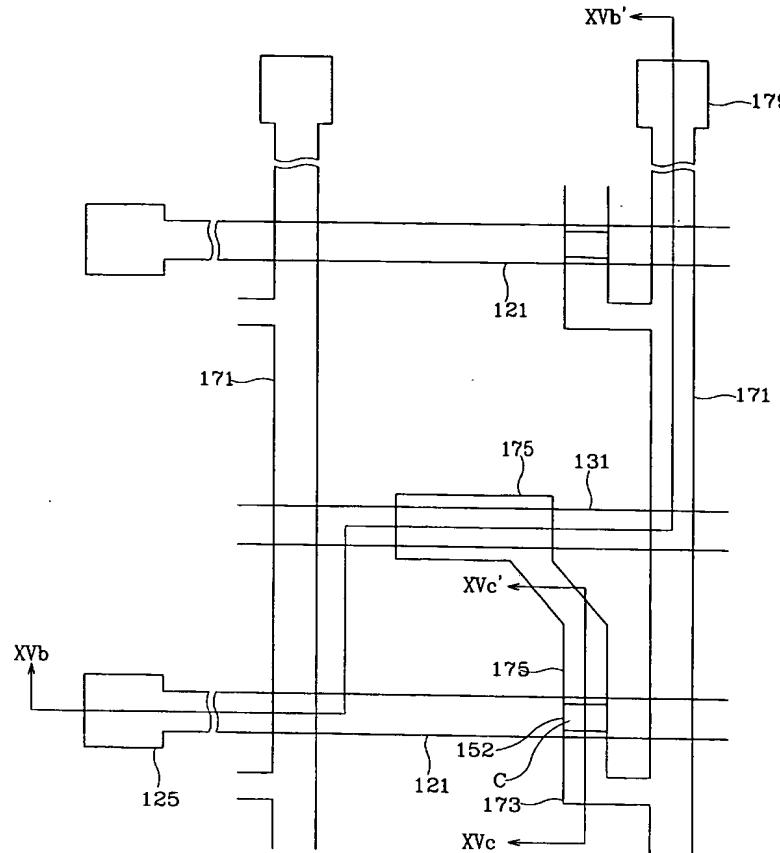
【도 14b】



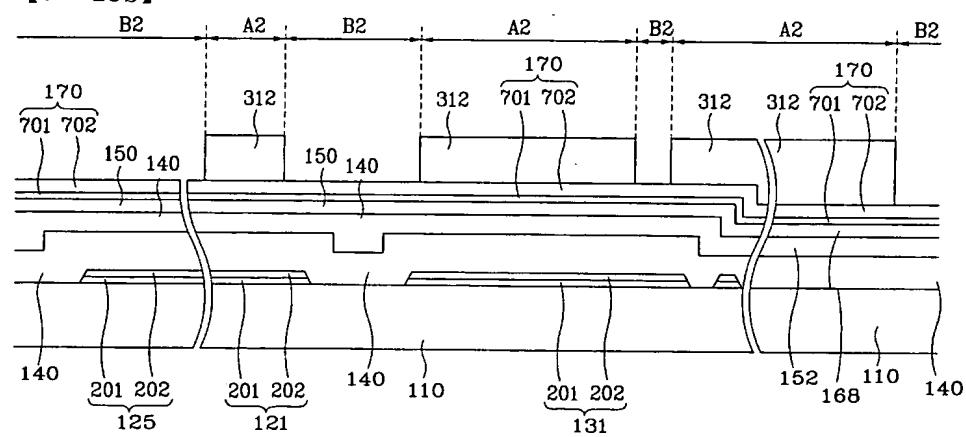
1020030007411

출력 일자: 2004/1/17

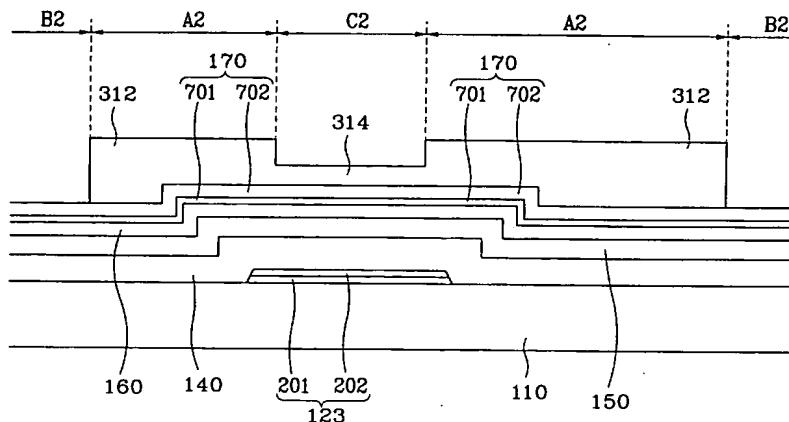
【도 15a】



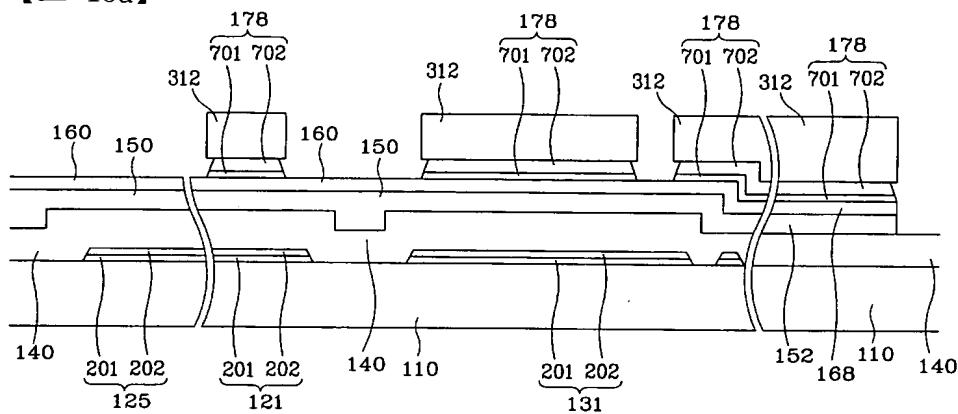
【도 15b】



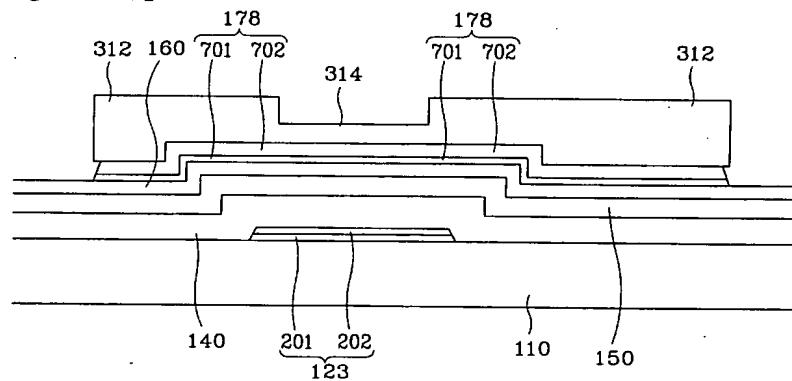
【도 15c】



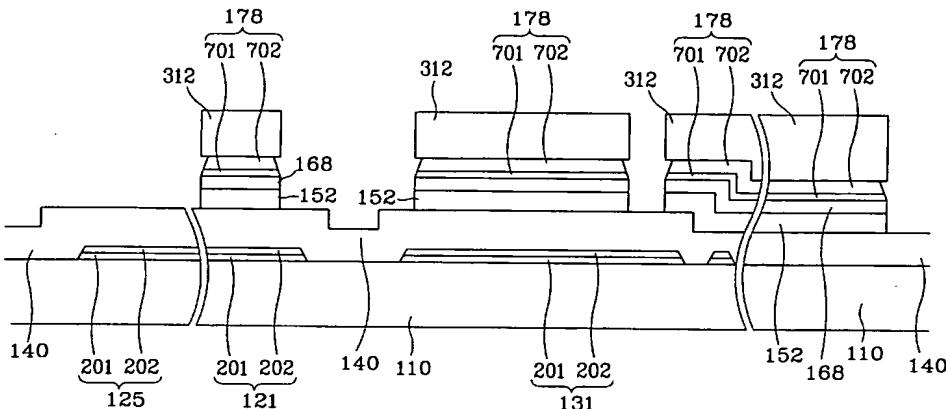
【도 16a】



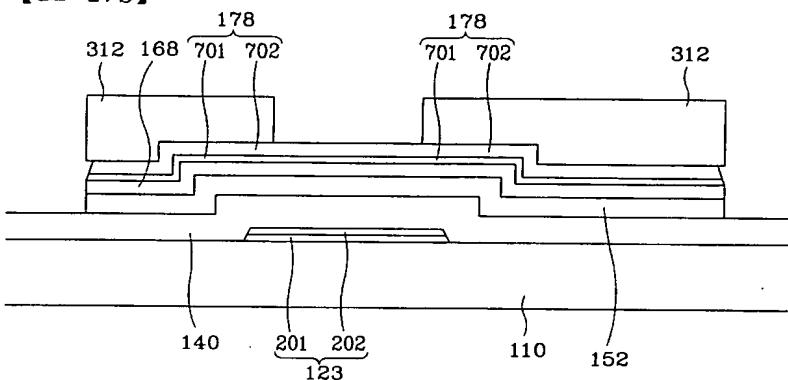
【도 16b】



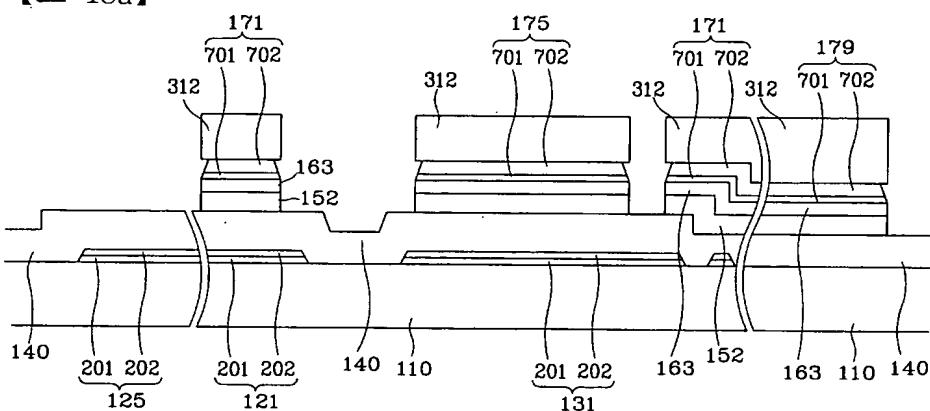
【도 17a】



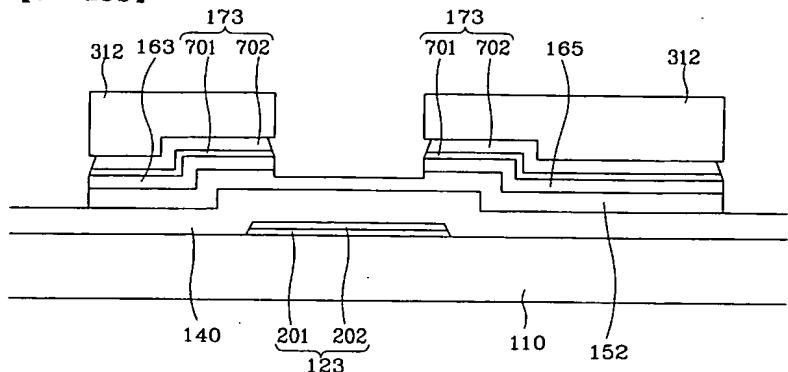
【도 17b】



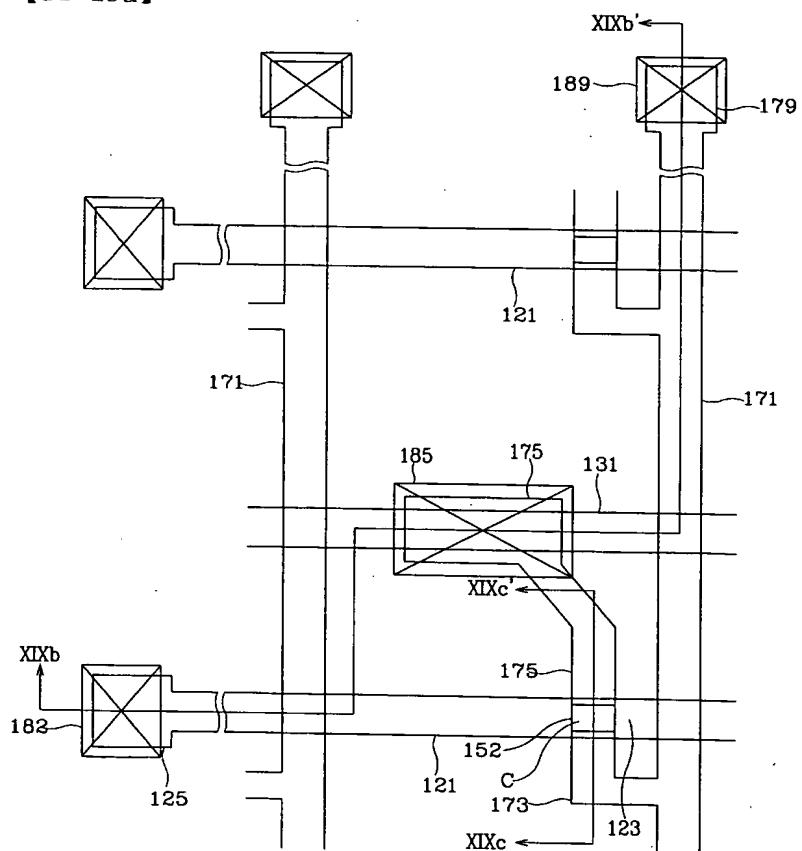
【도 18a】



【도 18b】



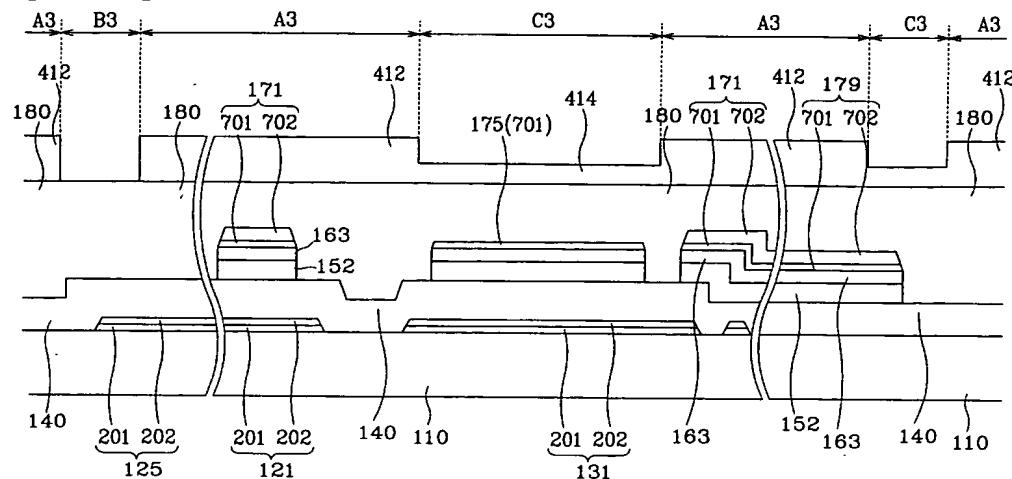
【도 19a】



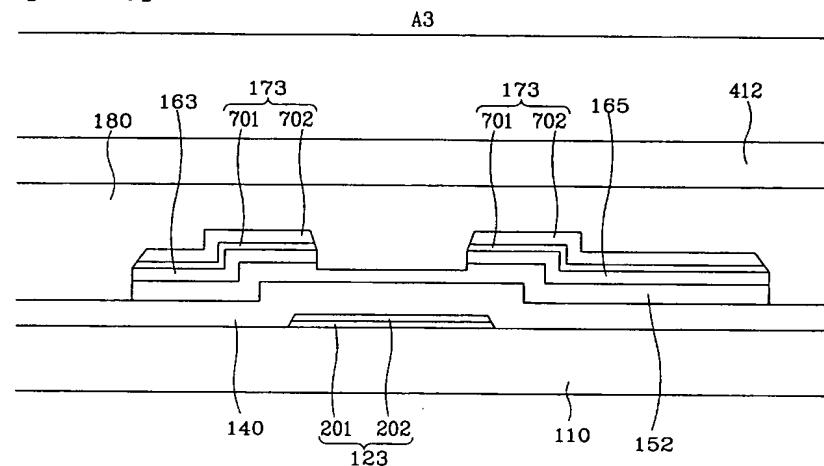
1020030007411

출력 일자: 2004/1/17

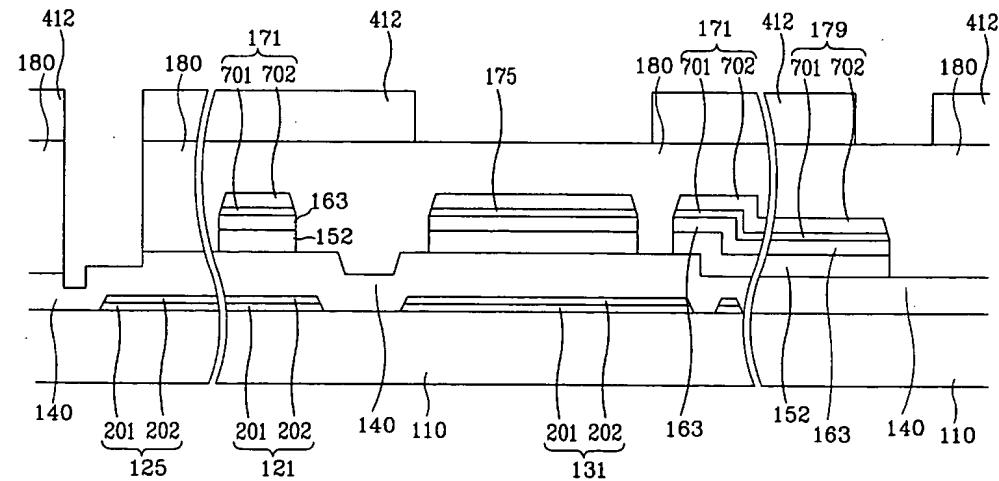
【도 19b】



【도 19c】



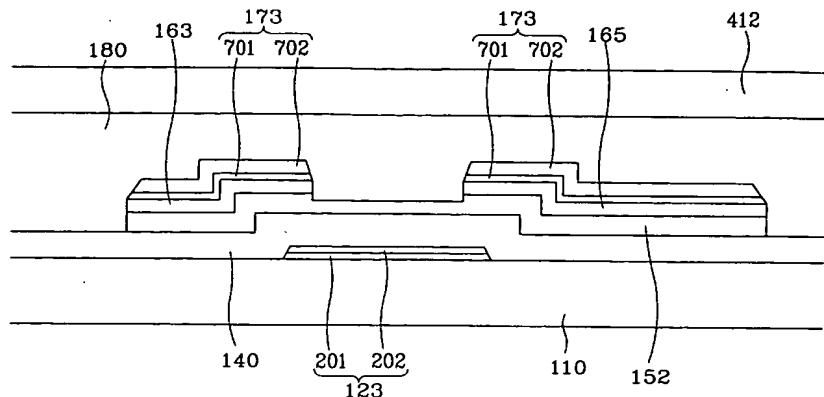
【도 20a】



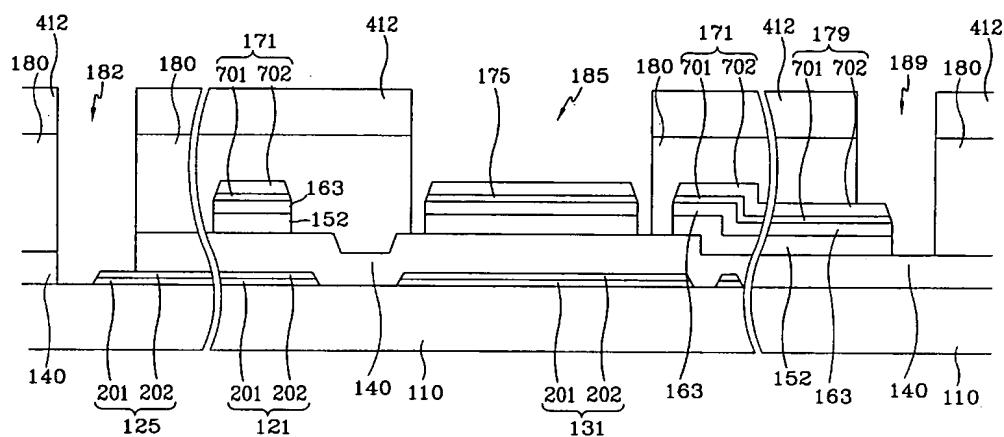
1020030007411

출력 일자: 2004/1/17

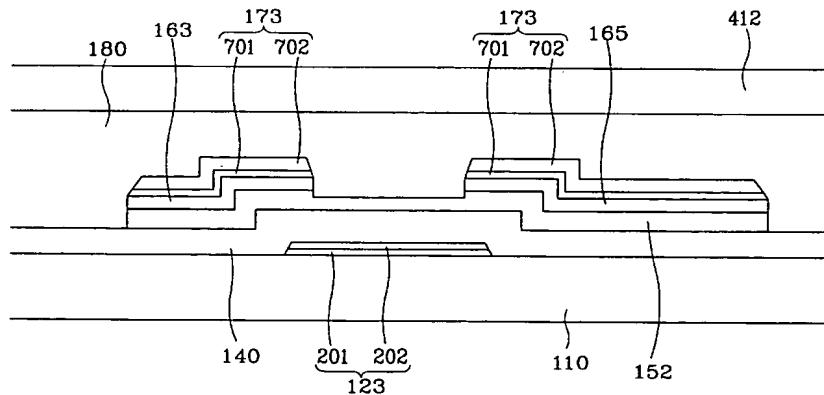
【도 20b】



【도 21a】



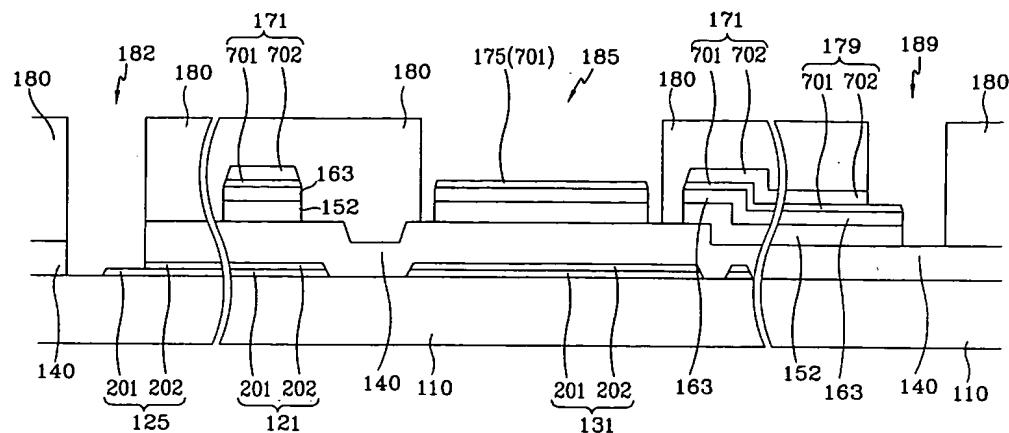
【도 21b】



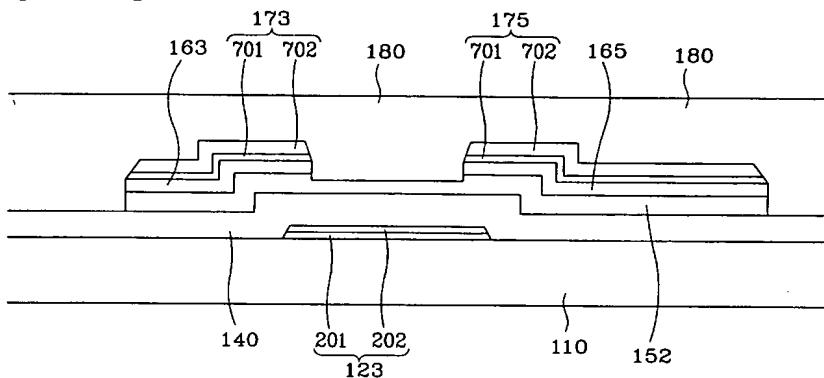
1020030007411

출력 일자: 2004/1/17

【도 22a】



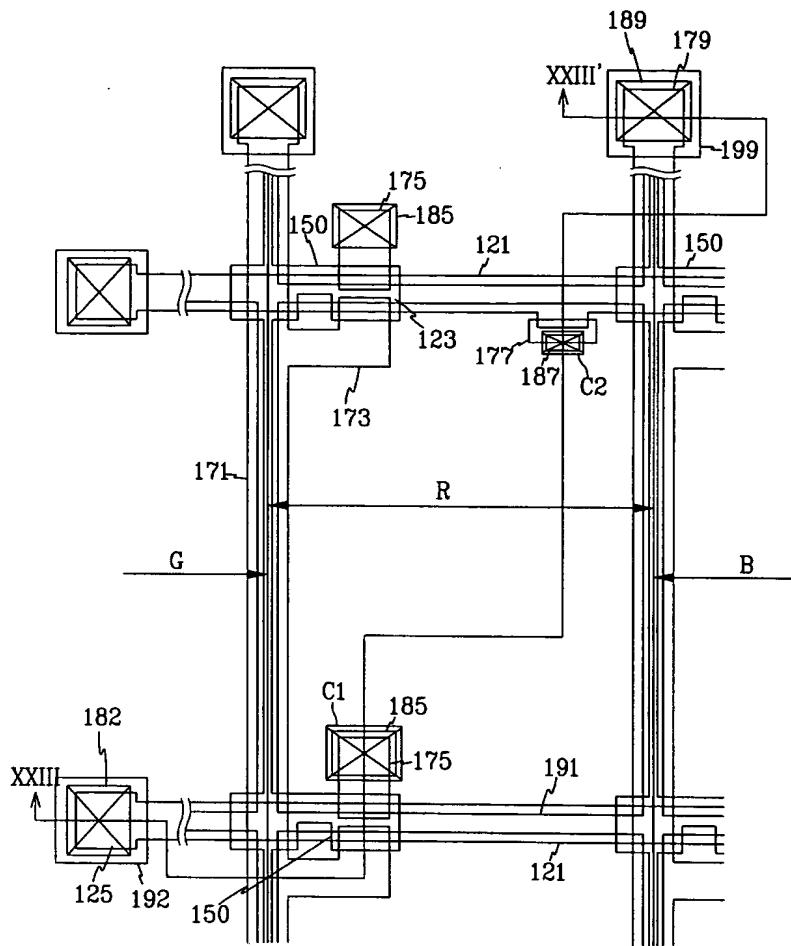
【도 22b】



1020030007411

출력 일자: 2004/1/17

【도 23】



【도 24】

